

DOCUMENT-IDENTIFIER: JP 04329644 A

TITLE: MANUFACTURE OF GATE ELECTRODE

PUBN-DATE: November 18, 1992

**INVENTOR-INFORMATION:**

NAME COUNTRY

MOCHIZUKI, AKIRA

**ASSIGNEE-INFORMATION:**

NAME COUNTRY

NEC CORP N/A

APPL-NO: JP03126875

APPL-DATE: April 30, 1991

INT-CL (IPC): H01 L 021/338 , H01 L 029/812 , H01 L 021/306 , H01 L 029/50

US-CL-CURRENT: 438/106 , 438/140 , 438/FOR.340 , 438/FOR.409

**ABSTRACT:**

PURPOSE: To provide a method of forming a reliable gate for a semiconductor device while reducing gate length and gate resistance.

CONSTITUTION: An insulating (SiO<sub>2</sub>) film 2 is grown on a semiconductor substrate in such a manner that the content of silicon atoms decreases continuously. The insulating film 2 is masked with a resist 3, and a tapered hole 2a is formed in it. The entire surface, including the hole 2a, is covered with metal films 4 and 5. Then, selective etching is performed so that only the metal films in the hole may remain to form a gate electrode having a T-shaped cross section.

COPYRIGHT 2006 DERWENT INFORMATION LTD

**TITLE:** Forming gate electrode with reduced gate length - by growing insulation film so that silicon@ atom content decreases continuously, thus reducing gate resistance NoAbstract

**PRIORITY-DATA:** 1991JP-0126875 (April 30, 1991)

**PATENT-FAMILY:**

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP <u>04329644</u>	A November 18, 1992	N/A	004	H01L 021/338

Mochizuki

**INT-CL (IPC):** H01L021/306, H01L021/338 , H01L029/50 , H01L029/812

**ABSTRACTED-PUB-NO:** JP 04329644A

**EQUIVALENT-ABSTRACTS:**

Full Text

AN 1993:483984 CAPLUS  
 DN 119:83984  
 TI Formation of gate contacts  
 IN Mochizuki, Akira  
 PA NEC Corp., Japan  
 SO Jpn. Kokai Tokkyo Koho, 4 pp.  
 CODEN: JKXXAF  
 DT Patent  
 LA Japanese  
 FAN.CNT 1

	PATENT NO	KIND	DATE	APPLICATION NO.	DATE
PI	JP 04329644	A	19921118	JP 1991-126875	19910430
PRAI	JP 1991-126875		19910430		

AB The title formation for a semiconductor device involves (1) depositing a SiO<sub>2</sub> insulative film on a semiconductor substrate so as to continuously decrease its Si at. content during the deposition, (2) forming a tapered opening to the insulator film over a resist mask, (3) depositing a metal layer over the opening, (4) forming a resist film, and (5) etching to selectively remove the metal layer except in and around the opening area to form a T-shaped gate contact standing on the substrate. The formation gives a short gate with decreased resistance.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-329644

(43) 公開日 平成4年(1992)11月18日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338				
29/812				
21/306	S	7342-4M		
29/50	J	7738-4M		
		7739-4M		
			H 0 1 L 29/80	F
			審査請求 未請求 請求項の数1(全 4 頁)	

(21) 出願番号 特願平3-126875

(22) 出願日 平成3年(1991)4月30日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 望月 晃

東京都港区芝五丁目7番1号 日本電気株式会社内

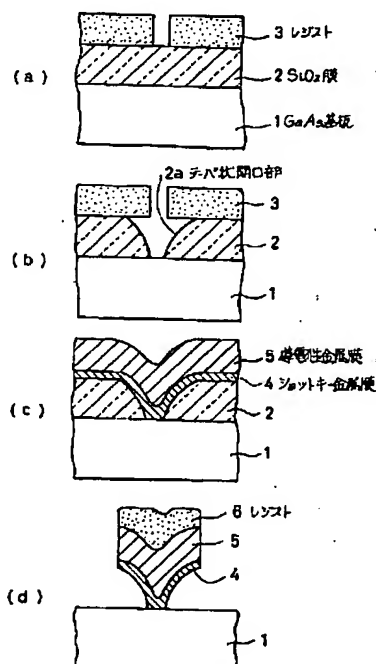
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 ゲート電極の形成方法

(57) 【要約】

【目的】 ゲート長の短縮化とゲート抵抗の低減を図るとともに、半導体装置の信頼性及び特性を改善したゲート電極の形成方法を得る。

【構成】 半導体基板上に形成する絶縁膜 (S i O<sub>2</sub> 膜) 2 を S i 原子の含有率が連続的に減少するように成長し、この絶縁膜 2 にレジスト 3 をマスクにしてテーパー状開口部 2 a を形成し、この開口部 2 a を含む全面に金属膜 4、5 を形成し、かつ開口部を含む金属膜 4、5 を残すように選択エッチングして断面形状が略 T 型のゲート電極を形成する。



## 【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を成長し、この絶縁膜にレジストをマスクにして開口部を形成し、開口部を含む全面に金属膜を形成し、前記開口部を含む金属膜を残すように選択エッチングすることで断面形状が略T型のゲート電極を形成する方法において、前記絶縁膜はSi原子の含有率が連続的に減少するように成長させることを特徴とするゲート電極の形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特にショットキーゲート電界効果トランジスタのゲート電極の形成方法に関する。

## 【0002】

【従来の技術】 ショットキーゲート電界効果トランジスタ（以下MESFETと略記する）は、特に超高周波における優れた増幅素子或いは発振素子として用いられている。又、超高速動作の集積回路の基本構成素子としても優れたものであることは周知である。特に近年では、素子の高速性および高出力化、高効率化も同時に要求されており、この様な要求に対してMESFETでは、素子寸法の縮小化と同時に、ゲート長の短縮化が強く要求されており、ゲート長  $0.8\mu\text{m}$  或いはそれ以下のMESFETも開発されている。

【0003】 しかしながら、この様なサブミクロン領域のゲート長を有するMESFETにおいて、単純なゲート長の短縮化はゲート断面積の低減によるゲート抵抗の増加という問題が生じることになる。このため、ゲート断面積を低減することなくゲート長を短縮したゲート電極構造として、ゲート電極の断面形状をT型に構成することが行われており、その製造方法として種々の方法が提案されている。

【0004】 図2は従来のT型断面形状を有するゲート電極形成方法を示したものである。先ず、同図(a)に示すように、GaAs基板1上にCVD法で $\text{SiO}_2$ 膜2Aを膜厚が約5000Åに形成し、かつそのゲート電極形成位置を開口した後、例えば、Al又はWSi等のショットキー金属膜4を被着する。この時の膜厚は約1000~3000Åである。ショットキー金属膜4としてのWSi膜は熱的に安定であるため、良好なショットキー特性を得るために用いる熱処理が可能であるが、比抵抗が大きいという問題がある。

【0005】 そこで、同図(b)に示すようにショットキー金属膜4上に導電性の良いAuからなる導電性金属膜5を膜厚が約4000~6000Å程度に被着する。この時、金属間の密着性とバリア性を上げるため通常、Ti(チタン)とPt(白金)をショットキー金属膜4と導電性金属膜5との間に被着する。その後、同図(c)に示すようにレジスト6をマスクにしてゲート電極としての導電性金属膜5とショットキー金属膜4を選択エッチング

し、かつ $\text{SiO}_2$ 膜2Aを除去することでT型ゲート電極を形成していた。

## 【0006】

【発明が解決しようとする課題】 このような従来のゲート電極形成方法では、ゲート長が短くなればなる程、 $\text{SiO}_2$ 膜の開口幅と膜厚との比、即ちアスペクト比が大きくなり、このため図3に示すように、 $\text{SiO}_2$ 膜2Aの開口部内への導電性金属膜5のカバレッジ性が劣化してゲート電極内部に空間部Xが生じ、その結果ゲート抵抗が十分に低減できないだけでなく電極膜が局部的に極端に薄くなったり、又、空間部内にガスや薬品が残ったりして信頼性が低下するという大きな問題があった。このような問題に対しては、アスペクト比を下げるためゲート長の短縮化に応じて $\text{SiO}_2$ 膜2Aの膜厚を薄くすることが考えられるが、この対策では形成されたゲート電極のT型ひさし部分とGaAs基板1との間に生じるゲート容量が増大し、特性が劣化されるという問題が生じる。本発明の目的は、ゲート長の短縮化とゲート抵抗の低減を図るとともに、半導体装置の信頼性を改善し、かつ特性劣化を防止したゲート電極を形成する方法を提供することにある。

## 【0007】

【課題を解決するための手段】 本発明のゲート電極の形成方法は、半導体基板上に形成する絶縁膜をSi原子の含有率が連続的に減少するように成長し、この絶縁膜にレジストをマスクにして開口部を形成し、開口部を含む全面に金属膜を形成し、前記開口部を含む金属膜を残すように選択エッチングして断面形状が略T型のゲート電極を形成する。

## 【0008】

【実施例】 次に、本発明について図面を参照して説明する。図1は本発明の一実施例を製造工程順に示すのMESFETの素子断面図である。先ず、図1(a)に示すように、GaAs基板1上にCVD法で厚さ約5000Åの $\text{SiO}_2$ 膜2を形成する。この時、原料ガスのシランと酸素の流量比を成長時はシラン：酸素=2：1とし、成長させるに従って、シランガスの流量を減少させ、成長終了時の流量比はシラン：酸素=1：2とする。その上で、この $\text{SiO}_2$ 膜2上にレジスト3を形成し、ゲート電極形成位置に窓を開設する。

【0009】 次に、同図(b)に示すように、前記レジスト3をマスクにして異方性ドライエッチングとパフアードフッ酸によるウェットエッチングを併用して $\text{SiO}_2$ 膜2をエッチングし、開口部2aを開設する。この時、 $\text{SiO}_2$ 膜2のパフアードフッ酸（温度22~24℃）に対するエッチングレートはシラン：酸素=2：1の流量比で成長した $\text{SiO}_2$ は40Å/秒であり、シラン：酸素=1：2の流量比で成長した $\text{SiO}_2$ は100/秒であるので $\text{SiO}_2$ 膜2の上層部に行くほど開口幅は拡がり、開口部2aはテーパ状に形成される。

3

【0010】次に、同図(c)に示すように、レジスト3を除去した後に、耐熱性ショットキー金属であるWSi膜4と導電性金属膜5をTi(500Å)、Pt(200Å)、Au(6000Å)の順でスパッタ法で被着する。その後、同図(d)に示すように、新たにゲート電極に相当するパターンのレジスト6を形成し、このレジスト6をマスクにして前記導電性金属膜5及びショットキー金属膜4をイオンミリング又は反応性ドライエッチングで選択エッチングし、更にSiO<sub>2</sub>膜2をバッファードフッ酸で除去する。この時、ゲート電極は耐薬品性があるので、バッファードフッ酸でもエッチングされない。

【0011】しかる後に、レジストパターン6を除去することで、略T型をしたゲート電極が完成される。このゲート電極では、導電性金属膜5をスパッタ法で被着する際に、SiO<sub>2</sub>膜2に開設された開口部2aがテーパ状に形成されているため、導電性金属膜5のカバレッジ性が改善され、内部に空間部が生じることはない。したがって、空間部が原因とされるゲート電極の抵抗の増大が生じることはなく、かつゲート電極の強度が低下されることもない。又、カバレッジ性が改善されるため、SiO<sub>2</sub>膜2の膜厚を厚くすることができ、ゲート容量が増大して特性劣化が生じることもない。

【0012】ここで、GaAs基板1上に形成する絶縁膜をSiN膜とし、シランとアンモニアの流量比を変えながら成長させてもよい。この場合でも、成長開始時はシランの流量を多目にし、成長に応じてシラン流量を減少させていく。このようにして成長されたSiN膜のバッファードフッ酸に対するエッチングレートはシラン：アンモニア=1：5の場合は200Å/分であり、シラン：アンモニア=1：10の場合は400Å/分である。その後、前記実施例と同様に開口部を開設し、かつ金属

4

膜を被着し、エッチングしてゲート電極を形成する。

【0013】このようにSiO<sub>x</sub>膜を使用した場合でも、前記実施例と同様にSiO<sub>x</sub>膜に開設される開口部をテーパ状に形成し、金属膜のカバレッジ性を改善してゲート電極中の空間部の発生を防止することができる。又、このSiO<sub>x</sub>膜を使用する方法では、SiO<sub>2</sub>膜に比べてエッチングレートが遅いので開口幅の制御性を上げることができるだけでなくSiN膜はGaAs界面の表面準位に与えられる影響が少ないのでデバイス特性が安定するという利点がある。

【0014】

【発明の効果】以上説明したように本発明はGaAs基板上に形成する絶縁膜のSi原子の含有率が成長するに従って連続的に減少するように成長させることにより、エッチングレートの差により開口形状をテーパ状にできるため、開口部内に導電性金属膜を良好に埋め込めるため、ゲート長の短縮化とゲート抵抗の低減および高信頼性が同時に可能になるという効果を有する。

【図面の簡単な説明】

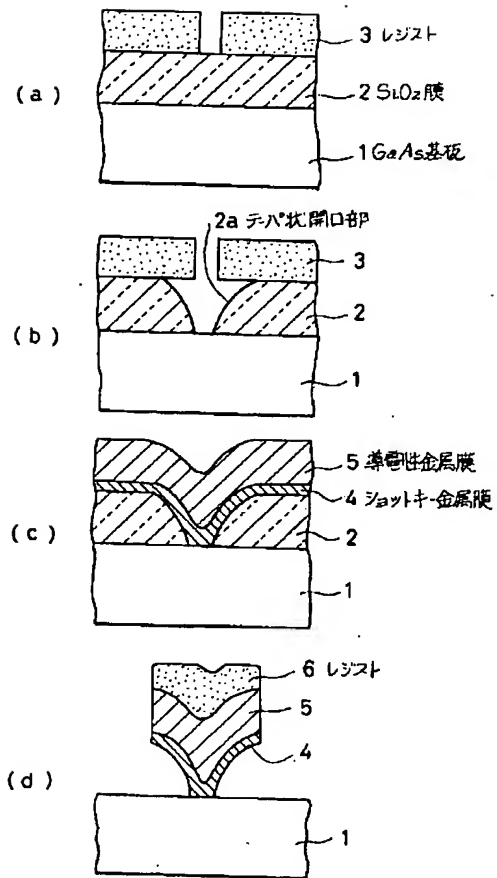
【図1】(a)乃至(d)は本発明の一実施例を製造工程順に示す断面図である。

【図2】(a)乃至(c)は従来の製造方法を工程順に示す断面図である。

【符号の説明】

- 1 GaAs基板
- 2 SiO<sub>2</sub>膜
- 3 レジスト
- 4 ショットキー金属膜
- 5 導電性金属膜
- 6 レジストパターン

【図1】



【図2】

